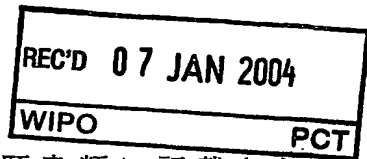


10/540596

PCT/IR 03 / 06215

22.12.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年12月27日

出 願 番 号
Application Number: 特願2002-382481
[ST. 10/C]: [JP2002-382481]

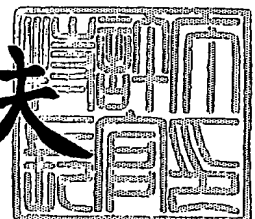
出 願 人
Applicant(s): 日本フィリップス株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 9月18日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特2003-3076883

【書類名】 特許願

【整理番号】 PHJP020031

【あて先】 特許庁長官 殿

【国際特許分類】 G06F

【発明者】

【住所又は居所】 東京都港区港南 2 丁目 1 3 番 3 7 号 フィリップスビル
日本フィリップス株式会社内

【氏名】 根岸 伸次

【発明者】

【住所又は居所】 東京都港区港南 2 丁目 1 3 番 3 7 号 フィリップスビル
日本フィリップス株式会社内

【氏名】 岸田 雅也

【特許出願人】

【識別番号】 000112451

【氏名又は名称】 日本フィリップス株式会社

【代理人】

【識別番号】 100087789

【弁理士】

【氏名又は名称】 津軽 進

【手数料の表示】

【予納台帳番号】 060624

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9813293

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 回路装置
【特許請求の範囲】

【請求項 1】 クロック信号のパルスが入力されることによって、前記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第 1 の遅延回路と、

前記第 1 の遅延回路が出力したデータを処理する信号処理回路であって、前記クロック信号のパルスが入力されることによって、前記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第 2 の遅延回路を有する信号処理回路とを備えた回路装置であって、

前記回路装置が、前記クロック信号のパルスに同期して前記第 1 の遅延回路が出力したデータと前記パルスの 1 つ後のパルスに同期して前記第 1 の遅延回路に取り込まれるべきデータとが等しいか否かに基づいて、前記第 2 の遅延回路に前記クロック信号のパルスを入力するか否かを制御する制御回路を有することを特徴とする回路装置。

【請求項 2】 前記信号処理回路が、前記第 2 の遅延回路を複数有し、前記複数の第 2 の遅延回路のうちの少なくとも 2 つの第 2 の遅延回路が縦続接続されていることを特徴とする請求項 1 に記載の回路装置。

【請求項 3】 前記少なくとも 2 つの第 2 の遅延回路の各々が、データが入力される複数のデータ入力部と、データを出力する複数のデータ出力部とを有することを特徴とする請求項 2 に記載の回路装置。

【請求項 4】 前記信号処理回路が、前記第 2 の遅延回路を複数有し、前記複数の第 2 の遅延回路のうちの 1 つの第 2 の遅延回路が出力したデータが入力される入力部と、前記複数の第 2 の遅延回路のうちの他の第 2 の遅延回路にデータを出力する出力部とを有する論理回路を有することを特徴とする請求項 1 に記載の回路装置。

【請求項 5】 前記 1 つの第 2 の遅延回路が複数のデータ出力部を有し、前記他の第 2 の遅延回路が複数のデータ入力部を有し、前記論理回路が、前記 1 つの第 2 の遅延回路の複数のデータ出力部から出力さ

れたデータが入力される複数の入力部と、前記他の第2の遅延回路の複数のデータ入力部にデータを出力する複数の出力部とを有することを特徴とする請求項4記載の回路装置。

【請求項6】 前記制御回路が、前記クロック信号のパルスの各々に同期して前記第1の遅延回路から出力された前記データと1つ後のパルスに同期して前記第1の遅延回路に取り込まれるべき前記データとが等しいか否かに基づいて、前記第2の遅延回路に前記クロック信号のパルスを供給するか否かを決定する決定回路と、

前記決定回路の決定に従って、前記第2の遅延回路への前記クロック信号のパルスの供給又は供給停止を行うクロックドライバと、
を有することを特徴とする請求項1乃至5うちのいずれか1項に記載の回路装置。

【請求項7】 前記決定回路が、前記クロック信号のパルスの各々に同期して前記第1の遅延回路から出力された前記データと1つ後のパルスに同期して前記第1の遅延回路に取り込まれるべき前記データとが等しいか否かを判定する判定部と、

前記判定部が等しいと判定した場合カウント値をインクリメントし、前記判定部が等しくないと判定した場合カウント値をリセットするカウンタと、

前記カウント値と比較値とを比較することによって比較結果を得、前記比較結果に基づいて、前記第2の遅延回路に前記クロック信号のパルスを供給するか否かを表すパルス供給制御信号を前記クロックドライバに出力するパルス供給信号生成部と、

を有することを特徴とする請求項6に記載の回路装置。

【請求項8】 前記比較値が、前記第2の遅延回路の総数に対応した値であることを特徴とする請求項7に記載の回路装置。

【請求項9】 前記第1の遅延回路及び前記第2の遅延回路の各々が1つ以上のDフリップフロップから構成されたことを特徴とする請求項1乃至8のうちのいずれか1項に記載の回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第1の遅延回路と、上記第1の遅延回路が出力したデータを処理する信号処理回路であって、上記クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第2の遅延回路を有する信号処理回路とを備えた回路装置に関する。

【0002】

【従来の技術】

従来より、縦続接続された複数のDフリップフロップを有する回路装置や、交互に縦続接続された論理回路とDフリップフロップとを有する回路装置が知られている。このような回路装置では、複数のDフリップフロップの各々にクロック信号が入力され、各Dフリップフロップはクロック信号のパルスに同期してデータを取り込み、この取り込んだデータを出力している。

【0003】

【発明が解決しようとする課題】

近年、回路の処理速度の高速化に伴いクロック周波数が増加しており、このため、回路装置の消費電力が増大している。また、回路装置が有する全てのDフリップフロップにはクロック信号が供給されるため、Dフリップフロップの数が増加すると、これに伴って消費電力も増加する。そこで、回路装置の消費電力を低減させるために、フリップフロップへのクロック信号の供給、供給停止を制御することができる制御回路を構成することが考えられる。しかしながら、このような制御回路を単純に構成すると、回路装置で処理されるべきデータ信号とは別に、上記の制御回路を動作させるための専用の信号が必要になるという問題がある。

【0004】

本発明は、上記の事情に鑑み、専用の信号を用いずに消費電力を低減できる回路装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記目的を達成する本発明の回路装置は、クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第1の遅延回路と、上記第1の遅延回路が出力したデータを処理する信号処理回路であって、上記クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第2の遅延回路を有する信号処理回路とを備えた回路装置であって、上記回路装置が、上記クロック信号のパルスに同期して上記第1の遅延回路が出力したデータと上記パルスの1つ後のパルスに同期して上記第1の遅延回路に取り込まれるべきデータとが等しいか否かに基づいて、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かを制御する制御回路を有することを特徴とする。

【0006】

本発明の回路装置は、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かを制御する制御回路を備えている。このような制御回路を備えることによって、信号処理回路が処理する処理結果の同一性を保持したまま、パルスの供給を停止することができ、回路装置の消費電力の低減が図られる。

【0007】

また、この制御回路は、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かの制御を、上記第1の遅延回路が出力したデータと上記第1の遅延回路に取り込まれるべきデータとが等しいか否かに基づいて行っている。従って、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かの制御をするための専用の信号は不要となり、回路装置の構成を簡略化することができる。

【0008】

また、本発明の回路装置は、上記信号処理回路が、上記第2の遅延回路を複数有し、上記複数の第2の遅延回路のうちの少なくとも2つの第2の遅延回路が縦続接続されていてもよく、この場合、上記少なくとも2つの第2の遅延回路の各々が、データが入力される複数のデータ入力部と、データを出力する複数のデータ出力部とを有していてもよい。

【0009】

また、本発明の回路装置は、上記信号処理回路が、上記第2の遅延回路を複数有し、上記複数の第2の遅延回路のうちの1つの第2の遅延回路が出力したデータが入力される入力部と、上記複数の第2の遅延回路のうちの他の第2の遅延回路にデータを出力する出力部とを有する論理回路を有していてもよく、この場合、上記1つの第2の遅延回路が複数のデータ出力部を有し、上記他の第2の遅延回路が複数のデータ入力部を有し、上記論理回路が、上記1つの第2の遅延回路の複数のデータ出力部から出力されたデータが入力される複数の入力部と、上記他の第2の遅延回路の複数のデータ入力部にデータを出力する複数の出力部とを有していてもよい。

【0010】

また、本発明の回路装置は、上記制御回路が、上記クロック信号のパルスの各々に同期して上記第1の遅延回路から出力された上記データと1つ後のパルスに同期して上記第1の遅延回路に取り込まれるべき上記データとが等しいか否かに基づいて、上記第2の遅延回路に上記クロック信号のパルスを供給するか否かを決定する決定回路と、上記決定回路の決定に従って、上記第2の遅延回路への上記クロック信号のパルスの供給又は供給停止を行うクロックドライバとを有することが好ましい。

【0011】

このような構成の制御装置を備えることによって、上記第2の遅延回路への上記クロック信号のパルスの供給又は供給停止を行うことができる。

【0012】

ここで、上記決定回路が、上記クロック信号のパルスの各々に同期して上記第1の遅延回路から出力された上記データと1つ後のパルスに同期して上記第1の遅延回路に取り込まれるべき上記データとが等しいか否かを判定する判定部と、上記判定部が等しいと判定した場合カウント値をインクリメントし、上記判定部が等しくないと判定した場合カウント値をリセットするカウンタと、上記カウント値と比較値とを比較することによって比較結果を得、上記比較結果に基づいて、上記第2の遅延回路に上記クロック信号のパルスを供給するか否かを表すパル

ス供給制御信号を上記クロックドライバに出力するパルス供給信号生成部とを有することができる。ここで、上記比較値は、上記第2の遅延回路の総数に対応した値とすることができる。

【0013】

さらに、本発明の回路装置では、上記第1の遅延回路及び上記第2の遅延回路の各々は、例えば、1つ以上のDフリップフロップから構成することができる。

【0014】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

【0015】

図1は、本発明の第1実施形態の回路装置を示すブロック図である。

【0016】

図1に示す回路装置1は、2ビットのデータ(d a, d b)からなるデータ信号D(n-1)が入力される。この回路装置1は、入力されたデータ信号D(n-1)を、8パルス期間(8クロック期間)だけ遅れたデータ信号D(n+7)=(Out)として出力するように動作する。

【0017】

回路装置1は、Dフリップフロップf 0 a及びf 0 bを有している。Dフリップフロップf 0 aの後段には、縦続接続された7個のDフリップフロップf 1 a乃至f 7 aのグループG aが接続されている。また、Dフリップフロップf 0 bの後段には、縦続接続された7個のDフリップフロップf 1 b乃至f 7 bのグループG bが接続されている。グループG a及びG bによりシフトレジスタ2(本発明にいう「信号処理回路」に相当する)が構成されている。これらのDフリップフロップf 0 a乃至f 7 a及びf 0 b乃至f 7 bの各々は、データが入力されるデータ入力端Dと、当該データ入力端Dから入力されたデータを出力するデータ出力端Qと、クロック信号CKが入力されるクロック信号入力端CPとを有している。この回路装置1では、2ビットのデータ(d a, d b)のうち、データd aはDフリップフロップf 0 a乃至f 7 aによって処理され、一方、データd bはDフリップフロップf 0 b乃至f 7 bによって処理される。尚、本実施形態

では、グループG a及びG bの各々は7個のDフリップフロップが縦続接続された構成を有しているが、縦続接続されるDフリップフロップの数は、適宜変更可能である。尚、以下では、Dフリップフロップf 0 a及びf 0 bのペアを単にDフリップフロップF 0と呼ぶ。同様にして、Dフリップフロップf 1 a及びf 1 bのペア、…、Dフリップフロップf 7 a及びf 7 bのペアを、単にDフリップフロップF 1、…、F 7と呼ぶ。

【0018】

また、この回路装置1は制御回路3を備えている。回路装置1が制御回路3を備えることによって、シフトレジスタ2の消費電力の低減を図ることができる。以下に、図1に示す回路装置1が、どのようにしてシフトレジスタ2の消費電力を低減することができるのかについて、制御回路3を備えていない回路装置と比較しながら説明する。

【0019】

図2は、制御回路3を備えていない回路装置100の回路図を示す。

【0020】

最前段のDフリップフロップF 0のうちのDフリップフロップf 0 aは、クロック信号C KのパルスP_xの立上りエッジに同期して、データ入力端Dに入力されるデータd aを取り込み、この取り込んだデータd aを次のパルスP (x + 1)が発生するまでデータ出力端Qから次段のDフリップフロップf 1 aに出力し続ける。従って、Dフリップフロップf 0 aは、入力されたデータd aを1パルス期間(1クロック期間)遅れて出力する。また、Dフリップフロップf 0 bも、Dフリップフロップf 0 aと同様に動作し、入力されたデータd bを1パルス期間遅れて出力する。従って、DフリップフロップF 0は、入力されたデータ信号D(n-1)を、1パルス期間遅れたデータ信号D(n)として次段のDフリップフロップF 1に出力する。

【0021】

また、DフリップフロップF 1のうちのDフリップフロップf 1 aは、クロック信号C KのパルスP_xの立上りエッジに同期して、前段のDフリップフロップf 0 aから出力されたデータd aを取り込み、この取り込んだデータd aを次のパ

ルス $P(x+1)$ が発生するまで次段の D フリップフロップ $f2a$ (図示せず) に出力し続ける。従って、D フリップフロップ $f1a$ は、前段の D フリップフロップ $f0a$ が出力したデータ d_a を 1 パルス期間遅れて出力する。また、D フリップフロップ $f1b$ も、前段の D フリップフロップ $f0b$ が出力したデータ d_b を 1 パルス期間遅れて出力する。従って、D フリップフロップ $F1$ は、前段の D フリップフロップ $F0$ が出力したデータ信号 $D(n)$ を、1 パルス期間遅れたデータ信号 $D(n+1)$ として出力する。

【0022】

以下、同様にして、D フリップフロップ $F2$ 乃至 $F7$ は、前段のフリップフロップが出力したデータ信号を、1 パルス期間遅れたデータ信号として出力する。従って、最前段の D フリップフロップ $F0$ に入力されたデータ信号 $D(n-1)$ は、最後段の D フリップフロップ $F7$ から 8 パルス期間遅れたデータ信号 $D(n+7) = (Out)$ として出力される。

【0023】

図 3 は、図 2 に示す制御回路 3 を備えていない回路装置 100 のタイミングチャートを示す。

【0024】

データ d_a 及び d_b は論理 '0' 又は論理 '1' であるため、 $D(n-1) = (d_a, d_b)$ は、図 3 に示すように、4 つの値 $D0 = (0, 0)$ 、 $D1 = (0, 1)$ 、 $D2 = (1, 0)$ 及び $D3 = (1, 1)$ を取り得る。例えば、 $D(n-1) = D1 = (0, 1)$ であれば、クロック信号 CK のパルス P に同期して、D フリップフロップ $f0a$ は '0' を取り込み、D フリップフロップ $f0b$ は '1' を取り込む。この取り込まれたデータ信号 $D(n-1)$ は、次段の D フリップフロップ $F1$ に出力される。以下、同様にして、 $D1 = (0, 1)$ は、クロック信号のパルスに同期して、D フリップフロップ $F2, \dots, F7$ に順次出力され、最終的にはデータ信号 $D(n+7) (=Out)$ として出力される。

【0025】

図 4 は、図 3 に示すタイミングチャートのパルス $P1$ からパルス $P12$ までの一部拡大図である。

【0026】

DフリップフロップF0は、クロック信号CKのパルスP1の立ち上がりエッジに同期して、データ信号D(n-1)のデータd1を取り込み、この取り込んだデータd1をデータ信号D(n)として出力する。更に、DフリップフロップF0は、次のパルスP2が発生するとデータ信号D(n-1)のデータd2を取り込み、データd1に代えてデータd2をデータ信号D(n)として出力する。

【0027】

以下、同様にして、DフリップフロップF0は、各パルスP3, P4, …に同期して、クロック信号CKのパルスP3, P4, …におけるデータ信号D(n-1)のデータd3, d4, …を取り込み、該取り込んだデータを、次のパルスが発生するまでデータ信号D(n)として出力し続ける。つまり、DフリップフロップF0は、取り込んだデータd1, d2, …, dxを、パルスP1, P2, …, Pxのパルス期間（クロック期間）h1, h2, …, hxの間出力し続ける。従って、DフリップフロップF0は、入力されたデータ信号D(n-1)のデータd1, d2, …, dxを、1パルス期間だけ遅れたデータ信号D(n)のデータd1, d2, …, dxとして出力する。

【0028】

また、DフリップフロップF0が出力したデータ信号D(n)のデータd1, d2, …, dxは、次段のDフリップフロップF1に入力される。DフリップフロップF1は、入力されたデータ信号D(n)のデータd1, d2, …, dxを、1パルス期間だけ遅れたデータ信号D(n+1)のデータd1, d2, …, dxとして出力する。

【0029】

以下、同様に考えて、その他のDフリップフロップF2乃至F7も、入力されたデータ信号のデータを、1パルス期間遅れたデータ信号のデータとして出力する。このように、DフリップフロップF1乃至F7の各々が、入力されたデータを1パルス期間だけ遅らせて出力することにより、図3に示す回路装置100は、データ信号D(n-1)に対して8パルス期間だけ遅れたデータ信号D(n+7)を出力することができる。しかしながら、図3に示す回路装置100は、DフリップフロップF0乃至F7の各々に、クロック信号CKのパルスPが連続的に供給されているため、消費電力が大きいという問題がある。この消費電力が大きいという

問題は、図3に示す回路装置100が備えるDフリップフロップの数が増えるにつれて顕著に現れる。そこで、本願発明者は、このような問題を解決するために、消費電力を低減することができる図1の回路装置1を考え出した。この回路装置1は、DフリップフロップF0に入力されるデータ信号D(n-1)とDフリップフロップF0から出力されるデータ信号D(n)とに基づいて、シフトレジスタ2にクロック信号のパルスを供給するか否かを制御している。このような制御によって、図1に示す回路装置1は、図3に示す回路装置100が出力するデータ信号D(n+7)=(Out)と同一のデータ信号を出力しながらも、シフトレジスタ2の消費電力の低減を図ることができる。以下に、本願発明者が考え出した回路装置の原理について説明する。

【0030】

DフリップフロップF0はパルスP1が供給されるとデータ信号D(n-1)のデータd1を取り込み、次のパルスP2が供給されるまで、この取り込んだデータd1をデータ信号D(n)のデータd1として出力し続ける。更に、DフリップフロップF0はパルスP2が供給されるとデータ信号D(n-1)のデータd2を取り込み、データd1に代えて新たに取り込んだd2を次のパルスP3が供給されるまでデータ信号D(n)のデータd2として出力し続ける。従って、DフリップフロップF0は、パルスP1が発生するパルス期間h1にはデータd1を出力し、パルスP2が発生するパルス期間h2にはデータd2を出力する。このように、Dフリップフロップは、各パルスPxに同期して取り込んだデータを、次のパルスが供給されるまで出力し続けるという性質を有する。本願発明では、Dフリップフロップのこの性質に着目している。例えば、DフリップフロップF0にパルスP1を供給した後、次のパルスP2を供給しないと仮定すると、DフリップフロップF0は、パルス期間h1だけでなく次のパルス期間h2も、データ信号D(n-1)のデータd1をデータ信号D(n)のデータとして出力し続ける。即ち、DフリップフロップF0は、パルスP2が供給されなくても、前のパルスP1のパルス期間h1に出力したデータd1を次のパルス期間h2にも出力し続け、この結果、データ信号D(n)のパルス期間h2のデータはパルス期間h1のデータと同じ値(=d1)となる。従って、もしデータ信号D(n-1)においてd2=d1(=d)であれば、DフリップフロップF0にパルスP1を供給した後次のパ

ルスP2を供給するか否かに関わらず、データ信号D(n)のパルス期間h1及びh2のデータは同一の値(=d)である。

【0031】

以上の説明から、もしデータ信号D(n-1)のデータdxが前のデータdx-1に等しい(dx=dx-1=d)のであれば、DフリップフロップF0にパルスPx-1を供給した後次のパルスPxを供給するか否かに関わらず、データ信号D(n)のパルス期間hx-1及びhxのデータは同一の値(=d)となることがわかる。

【0032】

これまでは、DフリップフロップF0が出力するデータ信号D(n)について説明したが、この他のDフリップフロップF1乃至F7が出力するデータ信号D(n+1)乃至D(n+7)(=Out)も同様に説明できる。

【0033】

従って、例えば、最終段のDフリップフロップF7が出力するデータ信号D(n+7)(=Out)において、パルス期間hxのデータが前のパルス期間hx-1のデータに等しい場合、回路装置1は、最終段のDフリップフロップF7へのパルスPxの供給を停止することにより、データ信号D(n+7)(=Out)の同一性を保持したまま、シフトレジスタ2の消費電力を削減できることがわかる。そこで、図4を参照すると、データ信号D(n+7)(=Out)において、例えば、パルス期間h9のデータd2はD1=(0, 1)であり、1つ前のパルス期間h8のデータd1もD1=(0, 1)である。従って、データ信号D(n+7)(=Out)において、パルス期間h9のデータが1つ前のパルス期間h8のデータに等しいことがわかる。従って、回路装置1は、最終段のDフリップフロップF7へのパルスP9の供給を停止することにより、最終段のDフリップフロップF7が出力するデータ信号D(n+7)(=Out)の同一性を保持したまま、シフトレジスタ2の消費電力を低減することができる。

【0034】

同様に考えると、DフリップフロップF6が出力するデータ信号D(n+6)において、例えば、パルス期間h9のデータd3はD1=(0, 1)であり、1つ前のパルス期間h8のデータd2もD1=(0, 1)である。従って、データ信号D(n+6)において、パルス期間h9のデータが1つ前のパルス期間h8のデータに等し

いことがわかる。従って、回路装置 1 は、D フリップフロップ F 6 へのパルス P9 の供給を停止することにより、D フリップフロップ F 6 が出力するデータ信号 D (n+6) の同一性を保持したまま、シフトレジスタ 2 の消費電力を低減することができる。その他の D フリップフロップが出力するデータ信号においても、当該 D フリップフロップにへのパルス P9 の供給を停止することによって、当該 D フリップフロップが出力するデータ信号の同一性を保持したまま、シフトレジスタ 2 の消費電力を低減することができる。

【0035】

ここで注意しておきたいことは、回路装置 1 がパルス P9 の供給を停止することができるのは、「パルス P9 の供給を停止しても、D フリップフロップが、パルス P9 が供給されたときに出力するデータ信号と同一のデータ信号を出力する」場合のみである。従って、図 1 に示す回路装置 1 は、パルス P9 の供給停止を実行する場合、パルス P9 の供給開始時刻 t_9 の前に、「パルス P9 の供給を停止しても、D フリップフロップが、パルス P9 が供給されたときに出力するデータ信号と同一のデータ信号を出力する」ことを認識できなければならない。以下に、回路装置 1 は、どのようにしてこのことを認識しているのかについて考察する。

【0036】

上記のように、「パルス P9 の供給を停止しても、D フリップフロップが、パルス P9 が供給されたときに出力するデータ信号と同一のデータ信号を出力する」のは、「各データ信号について、パルス期間 h_9 のデータが、1 つ前のパルス期間 h_8 のデータに等しい」場合である。従って、図 1 に示す回路装置 1 が、パルス P9 の供給開始時刻 t_9 の前に、「各データ信号について、パルス期間 h_9 のデータが、1 つ前のパルス期間 h_8 のデータに等しい」ことが認識できれば、データ信号の同一性を保持したままパルス P9 の供給を停止することができる。以下に、図 1 に示す回路装置 1 が、パルス P9 の供給開始時刻 t_9 の前に、「各データ信号について、パルス期間 h_9 のデータが、1 つ前のパルス期間 h_8 のデータに等しい」ことをどのように認識するかについて説明する。

【0037】

先ず、データ信号 D (n+7) (=Out) について考える。

【 0 0 3 8 】

データ信号 $D(n+7)$ のパルス期間 h_9 におけるデータ d_2 は、最前段の D フリップフロップ F_0 に入力されるデータ信号 $D(n-1)$ のパルス期間 h_1 のデータ d_2 が、8 パルス期間だけ遅れて最終段の D フリップフロップ F_7 から出力されるデータである。また、このデータ信号 $D(n+7)$ ($=Out$) のパルス期間 h_8 におけるデータ d_1 は、最前段の D フリップフロップ F_0 から出力された (つまり、D フリップフロップ F_1 に入力される) データ信号 $D(n)$ のパルス期間 h_1 のデータ d_1 が 7 パルス期間だけ遅れて最終段の D フリップフロップ F_7 から出力されるデータである。従って、パルス期間 h_1 のデータ信号 $D(n-1)$ のデータ d_2 と、パルス期間 h_1 のデータ信号 $D(n)$ のデータ d_1 とが等しいことを認識できれば、データ信号 $D(n+7)$ ($=Out$) のパルス期間 h_9 のデータが 1 つ前のパルス期間 h_8 のデータに等しいことを認識できる。

【 0 0 3 9 】

次に、データ信号 $D(n+6)$ について考える。

【 0 0 4 0 】

データ信号 $D(n+6)$ のパルス期間 h_9 におけるデータ d_3 は、最前段の D フリップフロップ F_0 に入力されるデータ信号 $D(n-1)$ のパルス期間 h_2 のデータ d_3 が、7 パルス期間だけ遅れて最終段の D フリップフロップ F_7 から出力されるデータである。また、このデータ信号 $D(n+6)$ のパルス期間 h_8 におけるデータ d_2 は、最前段の D フリップフロップ F_0 から出力された (つまり、D フリップフロップ F_1 に入力される) データ信号 $D(n)$ のパルス期間 h_2 のデータ d_2 が 6 パルス期間 D だけ遅れて最終段の D フリップフロップ F_7 から出力されるデータである。従って、パルス期間 h_2 のデータ信号 $D(n-1)$ のデータ d_3 とパルス期間 h_2 のデータ信号 $D(n)$ のデータ d_2 とが等しいことが認識できれば、データ信号 $D(n+6)$ のパルス期間 h_9 のデータは 1 つ前のパルス期間 h_8 のデータに等しいことが認識できる。その他のデータ信号についても同様に考えることができ、例えば、パルス期間 h_7 のデータ信号 $D(n-1)$ のデータ d_8 とパルス期間 h_7 のデータ信号 $D(n)$ のデータ d_7 とが等しいことが認識できれば、データ信号 $D(n+1)$ のパルス期間 h_9 のデータは 1 つ前のパルス期間 h_8 のデータに等しいことが認識できる。

【0041】

以上のことから、連続する7つのパルス期間h1乃至h7に渡ってデータ信号D(n-1)とD(n)とが等しいことを認識できれば、データ信号D(n+1)乃至D(n+7)(=0ut)の各々について、パルス期間h9のデータが1つ前のパルス期間h8のデータに等しいことを認識できる。

【0042】

上記の説明では、データ信号D(n+1)乃至D(n+7)(=0ut)のパルス期間h9及びh8のデータについて説明したが、同様にして、データ信号D(n+1)乃至D(n+7)(=0ut)のパルス期間h10及びh9のデータについて考えると、連続する7つのパルス期間h2乃至h8に渡ってデータ信号D(n-1)とD(n)とが等しいことを認識できれば、データ信号D(n+1)乃至D(n+7)(=0ut)の各々について、パルス期間h10のデータが1つ前のパルス期間h9のデータに等しいことを認識できる。

【0043】

従って、回路装置1が、連続する7つのパルス期間に渡ってデータ信号D(n-1)とD(n)とが等しい場合、7個のDフリップフロップF1乃至F7へのパルスの供給を停止しても、データ信号D(n+1)乃至D(n+7)(=0ut)の同一性が保持されるので、この結果、データ信号D(n+1)乃至D(n+7)(=0ut)の同一性を保持したままこの回路装置1の消費電力を大幅に削減することが可能となる。

【0044】

この消費電力の大幅な削減を実現するためには、回路装置1が、パルスの供給を停止する前に、連続する7つのパルス期間に渡ってデータ信号D(n-1)とD(n)とが等しいか否かを認識し、等しい場合はDフリップフロップF1乃至F7へのパルスP9の供給を停止するという動作を行う必要がある。

【0045】

そこで、回路装置1は、このような動作を実現する制御回路3を備えている。

【0046】

図5は、制御回路3の状態遷移図を示す。

【0047】

この制御回路3は、データ信号D(n-1)とD(n)とが等しいか否かを各パルス期

間 h 毎に判定し、 $D(n-1)=D(n)$ の場合は、ステップ $S2$ において、カウント値 nc を 1 つインクリメントし、 $D(n-1) \neq D(n)$ の場合は、ステップ $S1$ に戻り、カウント値 nc をリセットする。制御回路 3 がステップ $S1$ 又は $S2$ の状態である場合は、7 個の D フリップフロップ $F1$ 乃至 $F7$ にパルスが供給される。一方、ステップ $S2$ において、インクリメントされたカウント値が $nc=7$ に到達した場合、 $nc=7$ は、連続する 7 つのパルス期間に渡ってデータ信号 $D(n-1)=D(n)$ であることを意味するので、制御回路 3 はステップ $S2$ からステップ $S3$ に進み、7 個の D フリップフロップ $F1$ 乃至 $F7$ へのパルスの供給を停止する。ステップ $S3$ において、 $D(n-1) \neq D(n)$ になった場合は、ステップ $S1$ に戻ってカウント値 nc がリセットされる。制御回路 3 をこのように動作させることによって、7 個の D フリップフロップ $F1$ 乃至 $F7$ へのパルスの供給を停止しても、データ信号 $D(n+1)$ 乃至 $D(n+7)$ ($=Out$) の同一性を保持したまま、回路装置 1 の消費電力を大幅に削減することができる。

【0048】

以下、このような制御回路 3 を備えた回路装置 1 の回路動作について具体的に説明する。

【0049】

図 6 は、制御回路 3 の詳細図、図 7 は、図 1 の回路装置の動作に関連する信号のタイミングチャートを示す図である。

【0050】

制御回路 3 は決定回路 4 を有している。この決定回路 4 は、データ信号 $D(n-1)$ と $D(n)$ とが等しいか否かの判定を行い、この判定に基づいて、 D フリップフロップ $F1$ 乃至 $F7$ (本発明にいう「複数の第 2 の遅延回路」に相当する) にクロック信号 CK を供給するか否かを表す信号 Sk を出力するように構成されている。この決定回路 4 は判定部 4a を有している。この判定部 4a には、 D フリップフロップ $F0$ (本発明にいう「第 1 の遅延回路」に相当する) に入力されるデータ信号 $D(n-1)$ と、 D フリップフロップ $F0$ が出力したデータ信号 $D(n)$ とが入力される。この判定部 4a は、データ信号 $D(n-1)$ と $D(n)$ とが等しいか否かの判定を行う。判定部 4a は、データ信号 $D(n-1)$ と $D(n)$ とが等しい場合論理 '1' の判

定信号Sdを出力し、一方、データ信号D(n-1)とD(n)とが異なる場合論理‘0’の判定信号Sdを出力する。判定部4aから出力された判定信号Sdはカウンタ4bに入力される。

【0051】

このカウンタ4bは、判定信号Sdが論理‘1’（即ち、データ信号D(n-1)とD(n)とが等しい）であれば、クロック信号CKのパルスPに同期してカウント値ncをインクリメントし、このインクリメントされたカウント値ncを表すカウント信号Scを出力する。一方、判定信号Sdが論理‘0’であれば（即ち、データ信号D(n-1)とD(n)とが異なる）、クロック信号CKのパルスPに同期してカウント値ncをリセットし、リセット値（ $n=0$ ）を表すカウント信号Scを出力する。カウンタ4bから出力されたカウント信号Scは比較器4cに入力される。

【0052】

比較器4cには、カウンタ4bが出力したカウント信号Scの他に、比較信号Srefが入力される。この比較信号Srefは、カウント値ncと比較される比較値nr=6を表す。比較器4cは、カウント値ncが比較値nr=6以下（ $nc \leq nr$ ）である場合、論理‘0’の結果信号Soを出力し、カウント値ncが比較値nr=6より大きい（ $nc > nr$ ）場合、論理‘1’の結果信号Soを出力する。

【0053】

また、決定回路4は、遅延部4dを有している。この遅延部4dは、比較器4cから出力された結果信号Soを半パルス期間だけ遅延させる。遅延部4dは、この半パルス期間だけ遅延した結果信号Soを、クロックドライバ5の動作を制御するための制御信号Skとして出力する。

【0054】

クロックドライバ5は、制御信号Skが論理‘0’（即ち、 $nc \leq nr$ ）の場合、クロック信号CKのパルスを内部クロック信号CKiのパルスとしてDフリップフロップF1乃至F7に供給するが、結果信号Soが論理‘1’（即ち、 $nc > nr$ ）の場合、クロック信号CKのパルスのDフリップフロップF1乃至F7への供給を停止する。

【0055】

以下、このような制御回路 3 が備えられた回路装置 1 の回路動作について、図 1、図 6 及び図 7 を参照しながら詳細に説明する。

【0056】

先ず、データ信号 $D(n-1)$ のデータ $d1$ が D フリップフロップ F_0 のデータ入力端 D に入力される。このデータ信号 $D(n-1)$ のデータ $d1$ はクロック信号 CK のパルス $P1$ に同期して D フリップフロップ F_0 の内部に取り込まれ、この取り込まれたデータ $d1$ が次段のフリップフロップ F_1 に出力される。D フリップフロップ F_0 がデータ $d1$ を次段のフリップフロップ F_1 に出力する一方で、この D フリップフロップ F_0 には、データ信号 $D(n-1)$ の次のデータ $d2$ が入力される。また、この D フリップフロップ F_0 が出力したデータ $d1$ 及びこの D フリップフロップ F_0 に入力される次のデータ $d2$ は、決定回路 4 の判定部 4a にも入力される。従って、判定部 4a には、パルス期間 $h1$ (図 7 参照) に、データ信号 $D(n-1)$ のデータ $d2$ とデータ信号 $D(n)$ のデータ $d1$ とが入力される。判定部 4a はデータ $d2$ と $d1$ とが等しいか否かを判断する。データ $d2$ 及び $d1$ は、いずれも $D1 = (0, 1)$ であるので、データ $d2$ はデータ $d1$ に等しい。従って、判定部 4a は、パルス期間 $h1$ に、 $D(n-1) = D(n)$ を表す論理 '1' の判定信号 Sd をカウンタ 4b に出力する。尚、パルス期間 $h1$ において、カウンタ 4b のカウント値 nc は $n = 0$ であり、制御信号 Sk は論理 '0' であるとする。従って、クロックドライバ 5 は、クロック信号 CK のパルスを内部クロック信号 CK_i のパルスとして各 D フリップフロップ F_1 乃至 F_7 に供給していることに注意されたい。

【0057】

回路装置 1 にパルス $P1$ が供給された場合、回路装置 1 は上記のような回路動作を行う。

【0058】

次に、回路装置 1 にクロック信号 CK のパルス $P2$ が入力された場合を考える。

【0059】

このパルス $P2$ は、D フリップフロップ F_0 及びクロックドライバ 5 に入力される。パルス $P2$ の立上りエッジの時刻 $t2$ において、クロックドライバ 5 には、論理 '0' の制御信号 Sk が入力されているため、クロックドライバ 5 は、パルス $P2$ を

、内部クロック信号CKiのパルスP2としてDフリップフロップF1乃至F7に供給する。従って、DフリップフロップF0だけでなく、DフリップフロップF1乃至F7にもパルスP2が供給される。DフリップフロップF0はパルスP2の立上りエッジに同期して、データ信号D(n-1)のデータd2を取り込み、この取り込んだデータd2を出力する。また、次段のDフリップフロップF1は、パルスP2の立上りエッジに同期して、前段のDフリップフロップF0が出力したデータ信号D(n)のデータd1を取り込み、この取り込んだデータd1を出力する。その他のDフリップフロップF2乃至F7の各々も、パルスP2の立上りエッジに同期して、前段のDフリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

【0060】

また、パルスP2は決定回路4のカウンタ4bにも入力される。カウンタ4bは、パルスP2の立上りエッジに同期して、カウンタ4bに入力されている判定信号Sdが論理‘0’であるか論理‘1’であるかに応じて、カウント値ncをリセット又はインクリメントする。パルスP2の立上りエッジの時刻t2において、判定信号Sdは論理‘1’である（即ち、 $d2=d1$ ）ため、カウンタ4bは、パルスP2の立上りエッジに同期して、カウント値ncを $nc=1$ にインクリメントする。カウント値 $nc=1$ は、パルス期間h1においてD(n-1)とD(n)とが等しい（即ち、データ信号D(n+7)において、パルス期間h9のデータがパルス期間h8のデータに等しい）ことを意味する。カウンタ4bは、このカウント値 $nc=1$ を表すカウント信号Scを比較器4cに出力する。

【0061】

カウント値ncが $nc=1$ であるため、 $nc<nr$ である。従って、比較器4cは、パルス期間h2に、カウント値ncが比較値 $nr=6$ 以下である旨を表す論理‘0’の結果信号Soを遅延部4dに出力する。

【0062】

遅延部4dは、結果信号Soを半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0063】

また、DフリップフロップF 0がデータd2を次段のフリップフロップF 1に出力する一方で、このDフリップフロップF 0には、データ信号D (n-1)の次のデータd3が入力される。このDフリップフロップF 0が出力したデータd2及びこのDフリップフロップF 0に入力される次のデータd3は、決定回路4の判定部4 aにも入力される。従って、判定部4 aには、パルス期間h2（図7参照）に、データ信号D (n-1)のデータd3とデータ信号D (n)のデータd2とが入力される。判定部4 aは、データd3がd2に等しいか否かを判定する。データd3及びd2は、いずれもD 1 = (0, 1)であるので、データd3はデータd2に等しい。従って、判定部4 aは、パルス期間h2に、D (n-1) = D (n)を表す論理 '1' の判定信号Sdをカウンタ4 bに出力する。

【0 0 6 4】

回路装置1にパルスP2が供給された場合、回路装置1は上記のような回路動作を行う。

【0 0 6 5】

次に、回路装置1にクロック信号C KのパルスP3が入力された場合を考える。

【0 0 6 6】

このパルスP3は、DフリップフロップF 0及びクロックドライバ5に入力される。パルスP3の立上りエッジの時刻t3において、クロックドライバ5には、論理 '0' の制御信号Skが入力されているため、クロックドライバ5は、パルスP3を、内部クロック信号C K i のパルスP3としてDフリップフロップF 1乃至F 7に供給する。従って、DフリップフロップF 0だけでなく、DフリップフロップF 1乃至F 7にもパルスP3が供給される。DフリップフロップF 0は、パルスP3に同期して、データ信号D (n-1)のデータd3を取り込み、この取り込んだデータd3を次段のフリップフロップF 1に出力する。その他のDフリップフロップF 1乃至F 7の各々も、パルスP3の立上りエッジに同期して、前段のDフリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

【0 0 6 7】

また、パルスP3は決定回路4のカウンタ4 bにも入力される。カウンタ4 bは、パルスP3の立上りエッジに同期して、カウンタ4 bに入力されている判定信号

Sdが論理‘0’であるか論理‘1’であるかに応じて、カウント値ncをリセット又はインクリメントする。パルスP3の立上りエッジの時刻t3において、判定信号Sdは論理‘1’である（即ち、 $d_3 = d_2$ ）ため、カウンタ4bは、パルスP3の立上りエッジに同期して、カウント値ncを $n = 2$ にインクリメントする。カウント値nc=2は、連続する2つのパルス期間h1及びh2においてD(n-1)とD(n)とが等しい（即ち、データ信号D(n+6)及びD(n+7)において、パルス期間h9のデータがパルス期間h8のデータに等しい）ことを意味する。カウンタ4bは、このカウント値nc=2を表すカウント信号Scを比較器4cに出力する。

【0068】

カウント値ncがnc=2であるため、 $nc < nr$ である。従って、比較器4cは、パルス期間h2に、カウント値ncが比較値nr=6以下である旨を表す論理‘0’の結果信号Soを遅延部4dに出力する。

【0069】

遅延部4dは、結果信号Soを半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0070】

また、DフリップフロップF0がパルスP3に同期してデータd3を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号D(n-1)の次のデータd4が入力される。また、このDフリップフロップF0が出力したデータd3及びこのDフリップフロップF0に入力される次のデータd4は、決定回路4の判定部4aにも入力される。従って、判定部4aには、パルス期間h3（図7参照）に、データ信号D(n-1)のデータd4とデータ信号D(n)のデータd3とが入力される。判定部4aは、データd4がd3に等しいか否かを判定する。データd4及びd3は、いずれも $D = (0, 1)$ であるので、データd4はデータd3に等しい。従って、判定部4aは、パルス期間h3に、 $D(n-1) = D(n)$ を表す論理‘1’の判定信号Sdをカウンタ4bに出力する。

【0071】

これまでは、回路装置1にクロック信号CKのパルスP1乃至P3が供給された場合の回路動作について説明したが、回路装置1にクロック信号CKのパルスP4乃

至P7が入力された場合も、同様に動作する。従って、カウンタ4bは、パルスP4に同期してカウント値 nc を $n=3$ にインクリメントし、パルスP5、P6及びP7に同期して、それぞれカウント値 nc を $nc=4$ 、5及び6にインクリメントする。尚、カウント値 nc が $nr=6$ にインクリメントされたということは、連続する6つのパルス期間 $h1$ 及び $h6$ において $D(n-1)$ と $D(n)$ とが等しい（即ち、データ信号 $D(n+2)$ 乃至 $D(n+7)$ において、パルス期間 $h9$ のデータがパルス期間 $h8$ のデータに等しい）ことを意味する。

【0072】

次に、回路装置1にクロック信号CKのパルスP8が入力された場合を考える。

【0073】

このパルスP8は、DフリップフロップF0及びクロックドライバ5に入力される。パルスP8の立上りエッジの時刻 $t8$ において、クロックドライバ5には、論理‘0’の制御信号 Sk が入力されているため、クロックドライバ5は、パルスP8を、内部クロック信号CKiのパルスP8としてDフリップフロップF1乃至F7に供給する。従って、DフリップフロップF0だけでなく、DフリップフロップF1乃至F7にもパルスP8が供給される。DフリップフロップF0は、パルスP8に同期して、データ信号 $D(n-1)$ のデータ $d8$ を取り込み、この取り込んだデータ $d8$ を次段のフリップフロップF1に出力する。その他のDフリップフロップF1乃至F7の各々も、パルスP8の立上りエッジに同期して、前段のDフリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

【0074】

また、パルスP8は決定回路4のカウンタ4bにも入力される。カウンタ4bは、パルスP8の立上りエッジに同期して、カウンタ4bに入力されている判定信号 Sd が論理‘0’であるか論理‘1’であるかに応じて、カウント値 nc をリセット又はインクリメントする。パルスP8の立上りエッジの時刻 $t8$ において、判定信号 Sd は論理‘1’である（即ち、 $d8=d7$ ）ため、カウンタ4bは、パルスP8の立上りエッジに同期して、カウント値 nc を $nc=7$ にインクリメントする。カウント値 $nc=7$ は、連続する7つのパルス期間 $h1$ 乃至 $h7$ において $D(n-1)$ と $D(n)$ とが等しい（即ち、データ信号 $D(n+1)$ 乃至 $D(n+7)$ において、パルス期間 $h9$ のデータが

パルス期間h8のデータに等しい) ことを意味する。カウンタ 4 b は、このカウント値 $nc=7$ を表すカウント信号 Sc を比較器 4 c に出力する。

【0 0 7 5】

カウント値 nc が $nc=7$ であるため、 $nc>nr$ である。従って、比較器 4 c は、パルス期間h8に、カウント値 nc が比較値 $nr=6$ よりも大きい旨を表す論理 '1' の結果信号 So を遅延部 4 d に出力する。

【0 0 7 6】

遅延部 4 d は、結果信号 So を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号 So を、制御信号 Sk としてクロックドライバ 5 に出力する。

【0 0 7 7】

また、Dフリップフロップ F 0 がパルスP8に同期してデータd8を次段のフリップフロップ F 1 に出力する一方で、このDフリップフロップ F 0 には、データ信号 D (n-1) の次のデータd9が入力される。また、このDフリップフロップ F 0 が出力したデータd8及びこのDフリップフロップ F 0 に入力される次のデータd9は、決定回路 4 の判定部 4 a にも入力される。従って、判定部 4 a には、パルス期間h8 (図 7 参照) に、データ信号 D (n-1) のデータd9とデータ信号 D (n) のデータd8とが入力される。判定部 4 a は、データd9がd8に等しいか否かを判定する。データd9及びd8は、いずれも $D 1 = (0, 1)$ であるので、データd9はデータd8に等しい。従って、判定部 4 a は、パルス期間h8に、 $D (n-1) = D (n)$ を表す論理 '1' の判定信号 Sd をカウンタ 4 b に出力する。

【0 0 7 8】

回路装置 1 にパルスP8が供給された場合、回路装置 1 は上記のような回路動作を行う。

【0 0 7 9】

次に、回路装置 1 にクロック信号 C K のパルスP9が入力された場合を考える。

【0 0 8 0】

このパルスP9は、Dフリップフロップ F 0 及びクロックドライバ 5 に入力される。ここで、パルスP9の立上りエッジの時刻 t_9 において、クロックドライバ 5 には、論理 '1' の制御信号 Sk が入力されていることに注意されたい。論理 '1'

の制御信号Skは、パルスの供給を停止することを意味するので、クロックドライバ5はDフリップフロップF1乃至F7へのパルスP9の供給を停止する。即ち、DフリップフロップF0にはパルスP9が供給されるが、DフリップフロップF1乃至F7の各々にはパルスP9は供給されない。従って、DフリップフロップF0は、パルスP9に同期して、データ信号D(n-1)のデータd9を取り込み、この取り込んだデータd9を次段のフリップフロップF1に出力するが、DフリップフロップF1乃至F7は、パルス期間h8に出力していたデータをそのままパルス期間h9においても出力する。例えば、データ信号D(n+1)を出力するDフリップフロップF1は、パルス期間h8のデータd7をパルス期間h9においても出力する。また、データ信号D(n+2)を出力するDフリップフロップF2は、パルス期間h8のデータd6をパルス期間h9においても出力する。その他のDフリップフロップF3乃至F7も同様に考えることができ、例えば、データ信号D(n+7)(=Out)を出力する最終段のDフリップフロップF7は、パルス期間h8のデータd1をパルス期間h9においても出力する。つまり、DフリップフロップF1乃至F7が出力するデータ信号D(n+1)乃至D(n+7)の各々は、パルスP9の供給が停止されることによって、パルス期間h9に、パルス期間h8と同一のデータを出力している。ここで、図7に示すデータ信号D(n+1)乃至D(n+7)を、パルスP9が供給された場合のデータ信号D(n+1)乃至D(n+7)と比較してみる。パルスP9が供給された場合のデータ信号D(n+1)乃至D(n+7)は、図4に示されている。図4と図7とを比較すると、パルスP9が供給されているか否かに関わらず、データ信号D(n+1)乃至D(n+7)のパルス期間t9のデータはD1=(0, 1)であり、データの同一性が保持されていることがわかる。従って、データの同一性を保持したままパルスP9の供給を停止でき、回路装置1の消費電力の削減が図られることがわかる。

【0081】

上記のようにパルスP9はDフリップフロップF1乃至F7には供給されないが、その一方で、パルスP9は決定回路4のカウンタ4bに供給される。カウンタ4bのカウント値ncは、パルスP9が供給された時点では、nc=7に到達している。カウンタ4bはnc=7に到達している場合、判定信号Sdが論理‘0’であるか論理‘1’であるかに応じて、カウント値nc=7をリセット又は保持する。パルス

P9の立上りエッジの時刻 t_9 において、判定信号 S_d は論理‘1’（即ち、 $d_9=d_8$ ）であるため、カウンタ4bは、カウント値 $nc=7$ をそのまま保持する。パルス期間 h_9 のカウント値が $nc=7$ であるということは、連続する7つのパルス期間 h_2 及び h_8 において $D(n-1)$ と $D(n)$ とが等しい（即ち、データ信号 $D(n+1)$ 乃至 $D(n+7)$ において、パルス期間 h_{10} のデータがパルス期間 h_9 のデータに等しい）ことを意味する。カウンタ4bは、このカウント値 $nc=7$ を表すカウント信号 S_c を比較器4cに出力する。

【0082】

カウント値 nc が $nc=7$ であるため、 $nc>nr$ である。従って、比較器4cは、パルス期間 h_9 に、カウント値 nc が比較値 $nr=6$ よりも大きい旨を表す論理‘1’の結果信号 S_o を遅延部4dに出力する。

【0083】

遅延部4dは、結果信号 S_o を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号 S_o を、制御信号 S_k としてクロックドライバ5に出力する。

【0084】

また、DフリップフロップF0はパルスP9に同期してデータ d_9 を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号 $D(n-1)$ の次のデータ d_{10} が入力される。また、このDフリップフロップF0が出力したデータ d_9 及びこのDフリップフロップF0に入力される次のデータ d_{10} は、決定回路4の判定部4aにも入力される。従って、判定部4aには、パルス期間 h_9 （図7参照）に、データ信号 $D(n-1)$ のデータ d_{10} とデータ信号 $D(n)$ のデータ d_9 とが入力される。判定部4aは、データ d_{10} が d_9 に等しいか否かを判定する。データ d_{10} 及び d_9 は、いずれも $D_1=(0, 1)$ であるので、データ d_{10} はデータ d_9 に等しい。従って、判定部4aは、パルス期間 h_9 に、 $D(n-1)=D(n)$ を表す論理‘1’の判定信号 S_d をカウンタ4bに出力する。

【0085】

回路装置1にパルスP9が供給された場合、回路装置1は上記のような回路動作を行う。

【0086】

次に、回路装置 1 にクロック信号 CK のパルス P10 が入力された場合を考える。

【0087】

このパルス P10 は、D フリップフロップ F 0 及びクロックドライバ 5 に入力される。ここで、パルス P10 の立上りエッジの時刻 t_{10} において、クロックドライバ 5 には、論理 '1' の制御信号 S_k が入力されていることに注意されたい。論理 '1' の制御信号 S_k は、パルスの供給を停止することを意味するので、クロックドライバ 5 は D フリップフロップ F 1 乃至 F 7 へのパルス P10 の供給を停止する。即ち、D フリップフロップ F 0 にはパルス P10 が供給されるが、D フリップフロップ F 1 乃至 F 7 の各々にはパルス P10 は供給されない。従って、D フリップフロップ F 0 は、パルス P10 に同期して、データ信号 $D(n-1)$ のデータ d_{10} を取り込み、この取り込んだデータ d_{10} を次段のフリップフロップ F 1 に出力するが、D フリップフロップ F 1 乃至 F 7 は、パルス期間 h_9 に出力していたデータをそのままパルス期間 h_{10} においても出力する。例えば、データ信号 $D(n+1)$ を出力する D フリップフロップ F 1 は、パルス期間 h_9 のデータ d_7 をパルス期間 h_{10} においても出力する。また、データ信号 $D(n+2)$ を出力する D フリップフロップ F 2 は、パルス期間 h_9 のデータ d_6 をパルス期間 h_{10} においても出力する。その他の D フリップフロップ F 3 乃至 F 7 も同様に考えることができ、例えば、データ信号 $D(n+7)$ (=Out) を出力する最終段の D フリップフロップ F 7 は、パルス期間 h_9 のデータ d_1 をパルス期間 h_{10} においても出力する。つまり、D フリップフロップ F 1 乃至 F 7 が出力するデータ信号 $D(n+1)$ 乃至 $D(n+7)$ の各々は、パルス P10 の供給が停止されることによって、パルス期間 h_{10} に、パルス期間 h_9 と同一のデータを出力している。ここで、再度、図 7 と図 4 とを比較すると、パルス P10 が供給されているか否かに関わらず、データ信号 $D(n+1)$ 乃至 $D(n+7)$ のパルス期間 t_{10} のデータは $D_1 = (0, 1)$ であり、データの同一性が保持されていることがわかる。従って、データの同一性を保持したままパルス P10 の供給を停止でき、回路装置 1 の消費電力の削減が図られることがわかる。

【0088】

上記のようにパルス P10 は D フリップフロップ F 1 乃至 F 7 には供給されない

が、その一方で、パルスP10は決定回路4のカウンタ4bに供給される。カウンタ4bのカウント値 nc は、パルスP10が供給された時点では、 $nc=7$ に到達している。カウンタ4bは $nc=7$ に到達している場合、判定信号 Sd が論理‘0’であるか論理‘1’であるかに応じて、カウント値 $nc=7$ をリセット又は保持する。パルスP10の立上りエッジの時刻 t_{10} において、判定信号 Sd は論理‘1’（即ち、 $d_{10}=d_9$ ）であるため、カウンタ4bは、カウント値 $nc=7$ をそのまま保持する。パルス期間 h_{10} のカウント値が $nc=7$ であるということは、連続する7つのパルス期間 h_3 及び h_9 において $D(n-1)$ と $D(n)$ とが等しい（即ち、データ信号 $D(n+1)$ 乃至 $D(n+7)$ において、パルス期間 h_{11} のデータがパルス期間 h_{10} のデータに等しい）ことを意味する。カウンタ4bは、このカウント値 $nc=7$ を表すカウント信号 Sc を比較器4cに出力する。

【0089】

カウント値 nc が $nc=7$ であるため、 $nc>nr$ である。従って、比較器4cは、パルス期間 h_{10} に、カウント値 nc が比較値 $nr=6$ よりも大きい旨を表す論理‘1’の結果信号 So を遅延部4dに出力する。

【0090】

遅延部4dは、結果信号 So を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号 So を、制御信号 Sk としてクロックドライバ5に出力する。

【0091】

また、DフリップフロップF0がパルスP10に同期してデータ d_{10} を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号 $D(n-1)$ の次のデータ d_{11} が入力される。このDフリップフロップF0が出力したデータ d_{10} 及びこのDフリップフロップF0に入力される次のデータ d_{11} は、決定回路4の判定部4aにも入力される。従って、判定部4aには、パルス期間 h_{10} （図7参照）に、データ信号 $D(n-1)$ のデータ d_{11} とデータ信号 $D(n)$ のデータ d_{10} とが入力される。判定部4aは、データ d_{11} が d_{10} に等しいか否かを判定する。データ d_{11} は $D_2=(1, 1)$ 、データ d_{10} は $D_1=(0, 1)$ であるため、データ d_{11} はデータ d_{10} とは異なる。従って、判定部4aは、パルス期間 h_{10} に、 $D(n-1) \neq D(n)$ を表す論理‘0’の判定信号 Sd をカウンタ4bに出力する。

【0092】

回路装置 1 にパルス P10 が供給された場合、回路装置 1 は上記のような回路動作が行われる。

【0093】

次に、回路装置 1 にクロック信号 CK のパルス P11 が入力された場合を考える。

【0094】

このパルス P11 は、D フリップフロップ F 0 及びクロックドライバ 5 に入力される。ここで、パルス P11 の立上りエッジの時刻 t_{11} において、クロックドライバ 5 には、論理 '1' の制御信号 S_k が入力されていることに注意されたい。論理 '1' の制御信号 S_k は、パルスの供給を停止することを意味するので、クロックドライバ 5 は D フリップフロップ F 1 乃至 F 7 へのパルス P11 の供給を停止する。即ち、D フリップフロップ F 0 にはパルス P11 が供給されるが、D フリップフロップ F 1 乃至 F 7 の各々にはパルス P11 は供給されない。従って、D フリップフロップ F 0 は、パルス P11 に同期して、データ信号 $D(n-1)$ のデータ d_{11} を取り込み、この取り込んだデータ d_{10} を次段のフリップフロップ F 1 に出力するが、D フリップフロップ F 1 乃至 F 7 は、パルス期間 h_{10} に出力していたデータをそのままパルス期間 h_{11} においても出力する。例えば、データ信号 $D(n+1)$ を出力する D フリップフロップ F 1 は、パルス期間 h_{10} のデータ d_7 をパルス期間 h_{11} においても出力する。また、データ信号 $D(n+2)$ を出力する D フリップフロップ F 2 は、パルス期間 h_{10} のデータ d_6 をパルス期間 h_{11} においても出力する。その他の D フリップフロップ F 3 乃至 F 7 も同様に考えることができ、例えば、データ信号 $D(n+7)$ (=Out) を出力する最終段の D フリップフロップ F 7 は、パルス期間 h_{10} のデータ d_1 をパルス期間 h_{11} においても出力する。つまり、D フリップフロップ F 1 乃至 F 7 が出力するデータ信号 $D(n+1)$ 乃至 $D(n+7)$ の各々は、パルス P11 の供給が停止されることによって、パルス期間 h_{11} に、パルス期間 h_{10} と同一のデータを出力している。ここで、再度、図 7 と図 4 とを比較すると、パルス P11 が供給されているか否かに関わらず、データ信号 $D(n+1)$ 乃至 $D(n+7)$ のパルス期間 t_{11} のデータは $D_1 = (0, 1)$ であり、データの同一性が保持されていることがわ

かる。従って、データの同一性を保持したままパルスP11の供給を停止でき、回路装置1の消費電力の削減が図られることがわかる。

【0095】

上記のようにパルスP11はDフリップフロップF1乃至F7には供給されないが、その一方で、決定回路4のカウンタ4bには供給される。カウンタ4bのカウント値ncは、パルスP11が供給された時点では、 $nc=7$ に到達している。カウンタ4bは $nc=7$ に到達している場合、判定信号Sdが論理‘0’であるか論理‘1’であるかに応じて、カウント値 $nc=7$ をリセット又は保持する。パルスP11の立上りエッジの時刻t11において、判定信号Sdは論理‘0’であり、これは、データ信号D(n+1)において、次のパルス期間h12に出力されるべきデータがパルス期間h11に出力されているデータとは異なることを意味する。従って、もし、DフリップフロップF1への次のパルスP12の供給を停止すると仮定すると、DフリップフロップF1はパルス期間h11に出力されたデータを次のパルス期間h12にも出力してしまい、本来出力すべきデータと異なるデータがパルス期間h12に出力されてしまう。そこで、カウンタ4bは判定信号Sdが論理‘0’である場合はカウント値をリセットする。カウンタ4bは、このリセットされたカウント値 $nc=0$ を表すカウント信号Scを比較器4cに出力する。

【0096】

カウント値ncが $nc=0$ であるため、 $nc < nr$ である。従って、比較器4cは、パルス期間h11に、カウント値ncが比較値 $nr=6$ 以下である旨を表す論理‘0’の結果信号Soを遅延部4dに出力する。

【0097】

遅延部4dは、結果信号Soを半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0098】

また、DフリップフロップF0がパルスP11に同期してデータd11を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号D(n-1)の次のデータd12が入力される。このDフリップフロップF0が出力したデータd11及びこのDフリップフロップF0に入力される次のデータd12は、

決定回路 4 の判定部 4 a にも入力される。従って、判定部 4 a には、パルス期間 h11 (図 7 参照) に、データ信号 D (n-1) のデータ d12 とデータ信号 D (n) のデータ d11 とが入力される。判定部 4 a は、データ d12 が d11 に等しいか否かを判定する。データ d12 及び d11 は $D_2 = (1, 1)$ であるため、データ d12 はデータ d11 に等しい。従って、判定部 4 a は、パルス期間 h11 に、 $D(n-1) = D(n)$ を表す論理 '1' の判定信号 Sd をカウンタ 4 b に出力する。

【0099】

回路装置 1 にパルス P11 が供給された場合、回路装置 1 は上記のような回路動作を行う。

【0100】

次に、回路装置 1 にクロック信号 CK のパルス P12 が入力された場合を考える。

【0101】

このパルス P12 は、D フリップフロップ F 0 及びクロックドライバ 5 に入力される。パルス P12 の立上りエッジの時刻 t12 において、クロックドライバ 5 には、論理 '0' の制御信号 Sk が入力されているため、クロックドライバ 5 は、パルス P12 を、内部クロック信号 CK i のパルス P12 として D フリップフロップ F 1 乃至 F 7 に供給する。従って、D フリップフロップ F 0 だけでなく、D フリップフロップ F 1 乃至 F 7 にもパルス P12 が供給される。D フリップフロップ F 0 は、パルス P12 に同期して、データ信号 D (n-1) のデータ d12 を取り込み、この取り込んだデータ d12 を次段のフリップフロップ F 1 に出力する。その他の D フリップフロップ F 1 乃至 F 7 の各々も、パルス P12 の立上りエッジに同期して、前段の D フリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

【0102】

また、パルス P12 は決定回路 4 のカウンタ 4 b にも入力される。カウンタ 4 b は、パルス P12 の立上りエッジに同期して、カウンタ 4 b に入力されている判定信号 Sd が論理 '0' であるか論理 '1' であるかに応じて、カウント値 nc をリセット又はインクリメントする。パルス P12 の立上りエッジの時刻 t12 において、カ

カウンタ 4 b に入力されている判定信号 S_d は論理 '1' である (即ち、 $d_{12}=d_{11}$) ため、カウンタ 4 b は、パルス P_{12} の立上りエッジに同期して、カウント値 n_c を $n_c = 1$ にインクリメントする。このカウント値 $n_c = 1$ を表すカウント信号 S_c を比較器 4 c に出力する。

【0 1 0 3】

カウント値 n_c は $n_c = 1$ であるため、 $n_c < n_r$ である。従って、比較器 4 c は、パルス期間 h_{12} に、カウント値 n_c が比較値 $n_r = 6$ 以下である旨を表す論理 '0' の結果信号 S_o を遅延部 4 d に出力する。

【0 1 0 4】

遅延部 4 d は、結果信号 S_o を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号 S_o を、制御信号 S_k としてクロックドライバ 5 に出力する。

【0 1 0 5】

以下、同様にして、回路装置 1 は、判定部 4 a に入力された 2 つのデータが等しいか否かに応じて、カウンタ 4 b がカウント値 n_c をインクリメント又はリセットし、カウント値 n_c が $n_c = 7$ に到達したら、次のパルスの供給を停止する動作を繰り返す。

【0 1 0 6】

以上のようにして構成された回路装置 1 によれば、データ信号 Out の同一性を保持したままパルスの供給を停止することができ、回路装置 1 の消費電力の削減が図られる。

【0 1 0 7】

また、制御回路 3 は、D フリップフロップ F_1 乃至 F_7 にクロック信号 CK のパルス P を入力するか否かの制御を、最前段の D フリップフロップ F_0 が出力するデータ信号 $D(n)$ と最前段の D フリップフロップ F_0 に入力されるデータ信号 $D(n-1)$ とに基づいて行っている。従って、D フリップフロップ F_1 乃至 F_7 にクロック信号 CK のパルス P を入力するか否かの制御をするための専用の信号は不要となり、回路装置 1 の構成を簡略化することができる。

【0 1 0 8】

尚、制御回路 3 は、図 6 に示すように、遅延部 4 d を比較器 4 c の後段に備え

ているが、この遅延部 4 d は、例えばカウンタ 4 b と比較器 4 c との間に備えてもよい。

【0109】

図 8 は、本発明の第 2 実施形態の回路装置 100 を示す概略構成図である。

【0110】

図 8 の回路装置 100 の説明に当たっては、図 1 の回路装置 1 との相違点について主に説明する。

【0111】

図 8 の回路装置 100 と図 1 の回路装置 1 との相違点は、図 8 の回路装置 100 が、前段の D フリップフロップと後段の D フリップフロップとの間に、論理回路 Logic を備えている点のみである。このように、回路装置 100 が D フリップフロップの間に論理回路 Logic を備えても、データ信号 $D(n)$ と $D(n-1)$ とが等しいか否かの判定に基づいて、第 1 実施形態の回路装置 1 と同様に、D フリップフロップ F 1 乃至 F 7 へのパルス P の供給又は供給停止を制御することができる。従って、データ信号 Out の同一性を保持したままパルスの供給を停止することができ、回路装置 100 の消費電力の削減が図られる。

【0112】

また、回路装置 100 の制御回路 3 も、図 1 の回路装置 100 の制御回路 3 と同様に、D フリップフロップ F 1 乃至 F 7 にクロック信号 CK のパルス P を入力するか否かの制御をするための専用の信号は不要であるため、回路装置 100 の構成を簡略化することができる。

【0113】

【発明の効果】 以上説明したように、本発明の回路装置によれば、専用の信号を用いずに消費電力を低減できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態の回路装置を示すブロック図である。

【図 2】 制御回路 3 を備えていない回路装置 100 の回路図を示す。

【図 3】 図 2 に示す制御回路 3 を備えていない回路装置 100 のタイミングチャートを示す。

【図 4】 図 3 に示すタイミングチャートのパルス P1 からパルス P12 までの一部拡大図である。

【図 5】 制御回路 3 の状態遷移図を示す。

【図 6】 制御回路 3 の詳細図を示す。

【図 7】 図 1 の回路装置の動作に関連する信号のタイミングチャートを示す図である。

【図 8】 本発明の第 2 実施形態の回路装置 1 0 0 を示す概略構成図である。

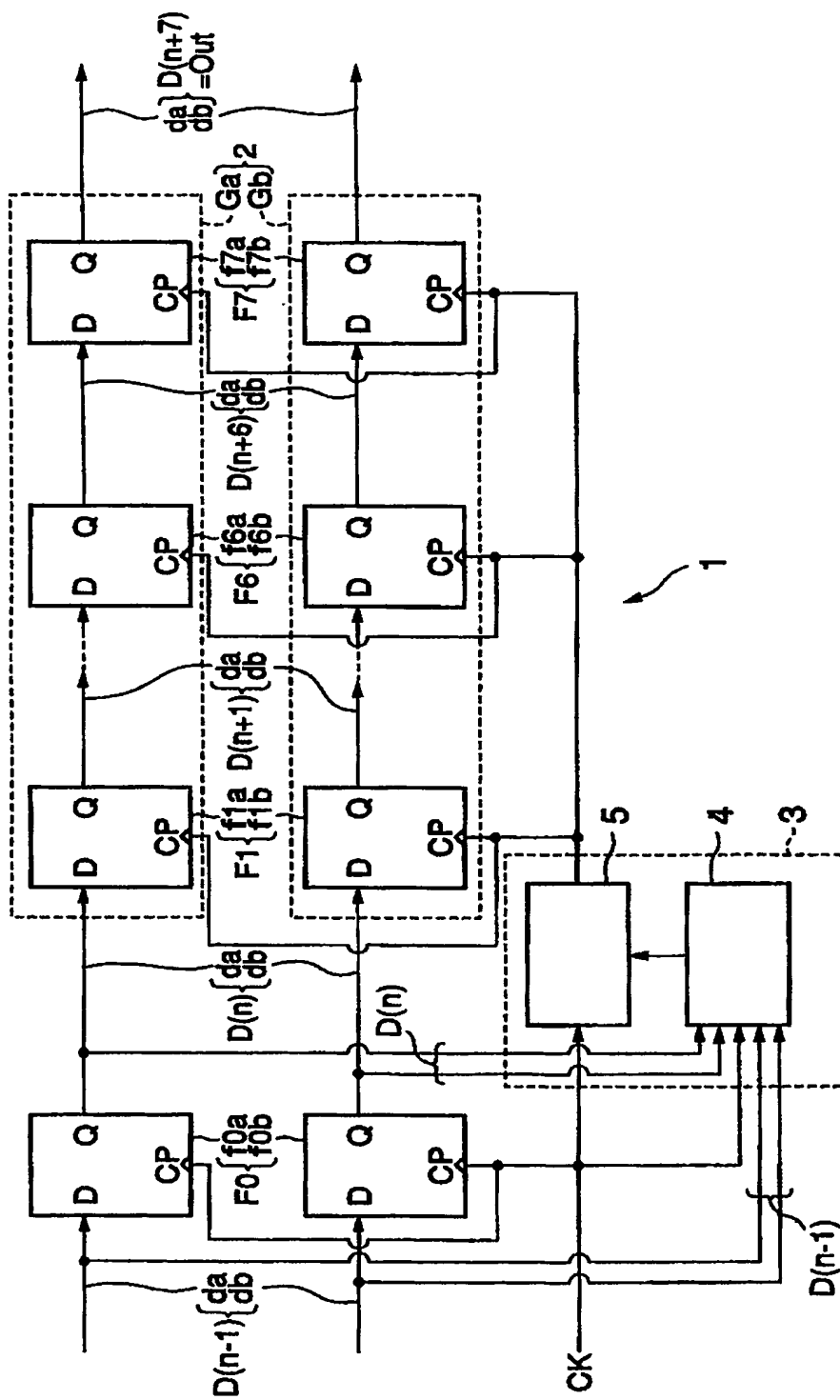
【符号の説明】

- 1 回路装置
- 2 シフトレジスタ
- 3 制御回路

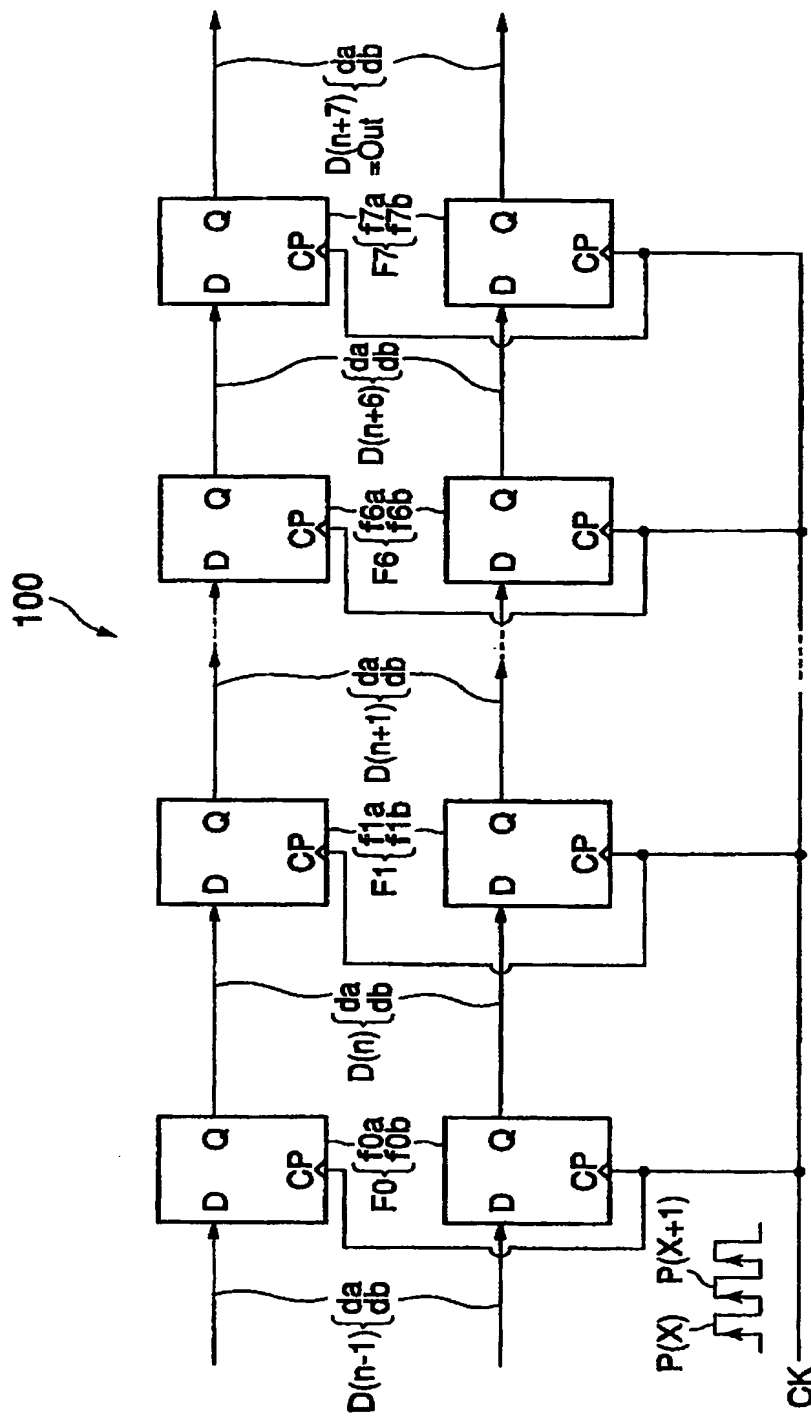
【書類名】

図面

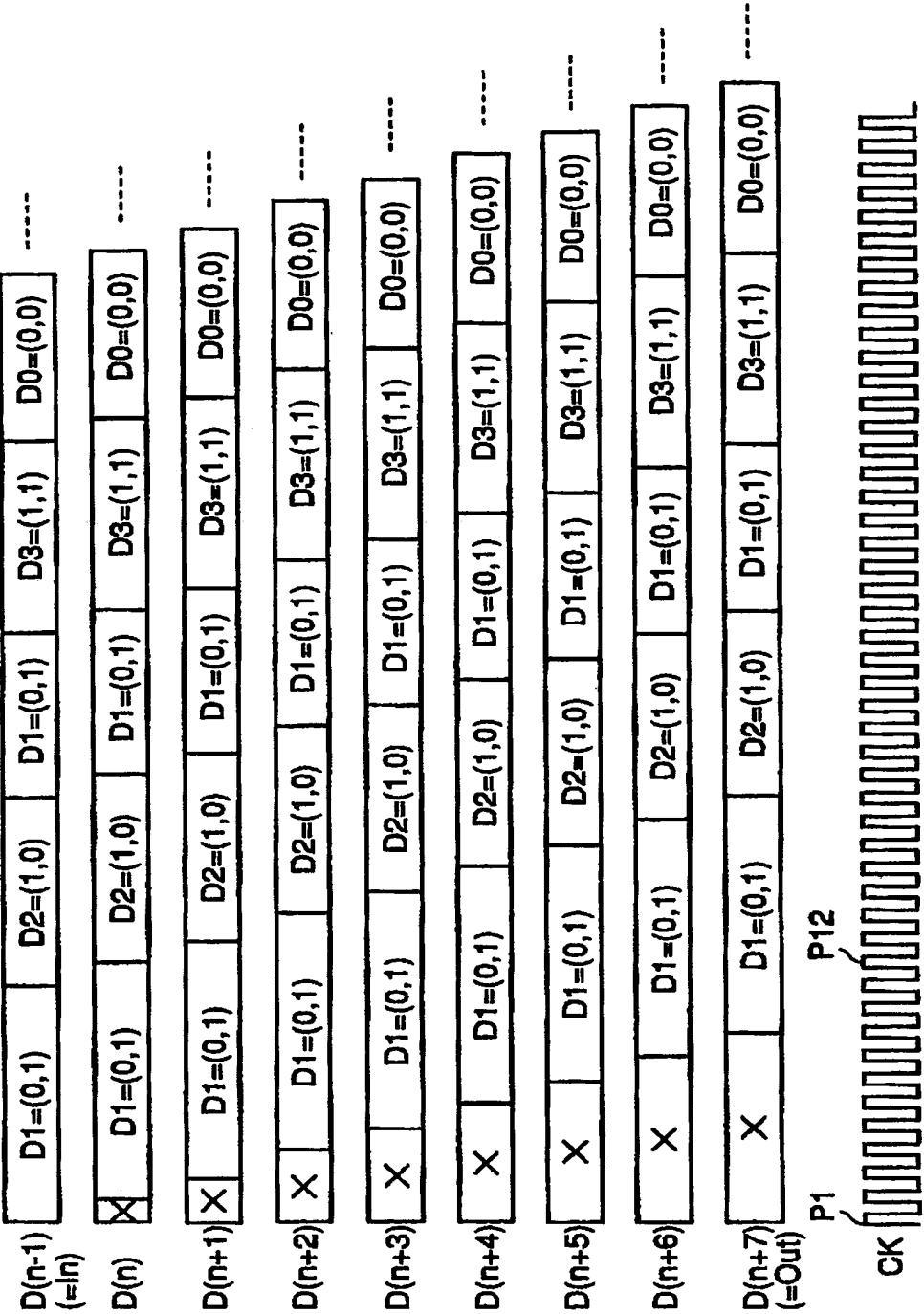
【図 1】



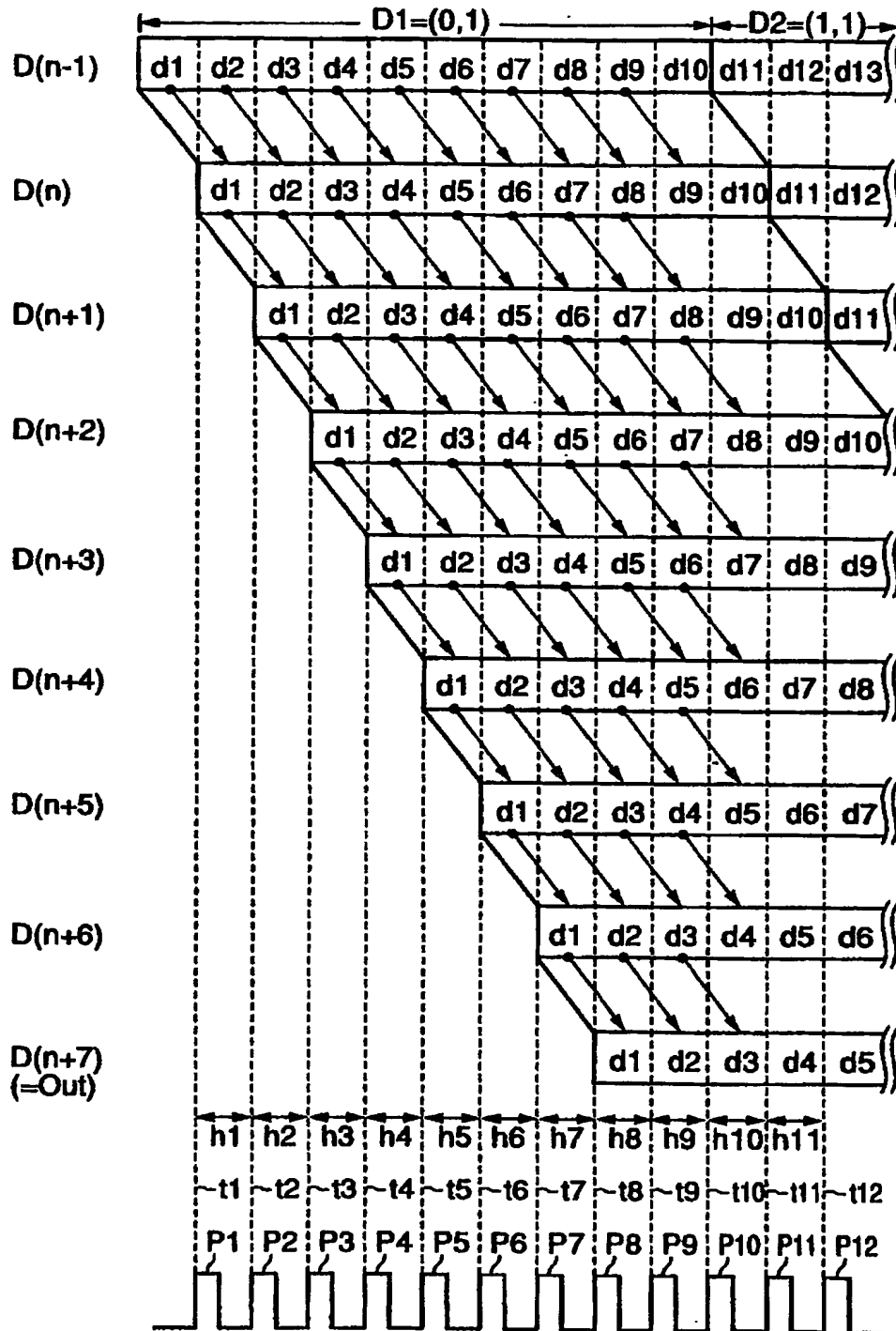
【図 2】



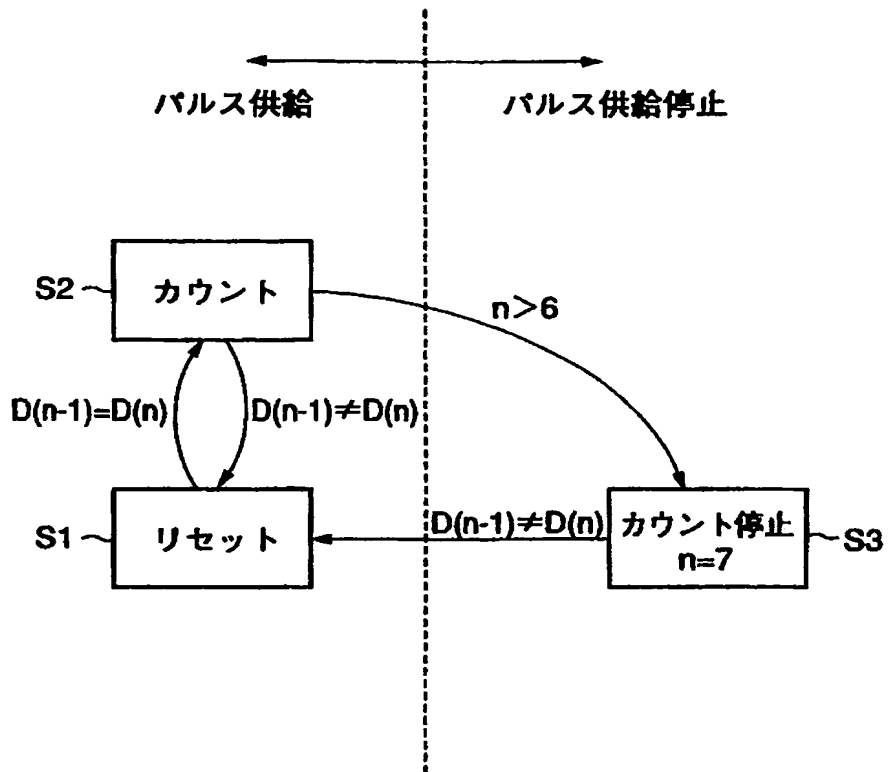
【図 3】



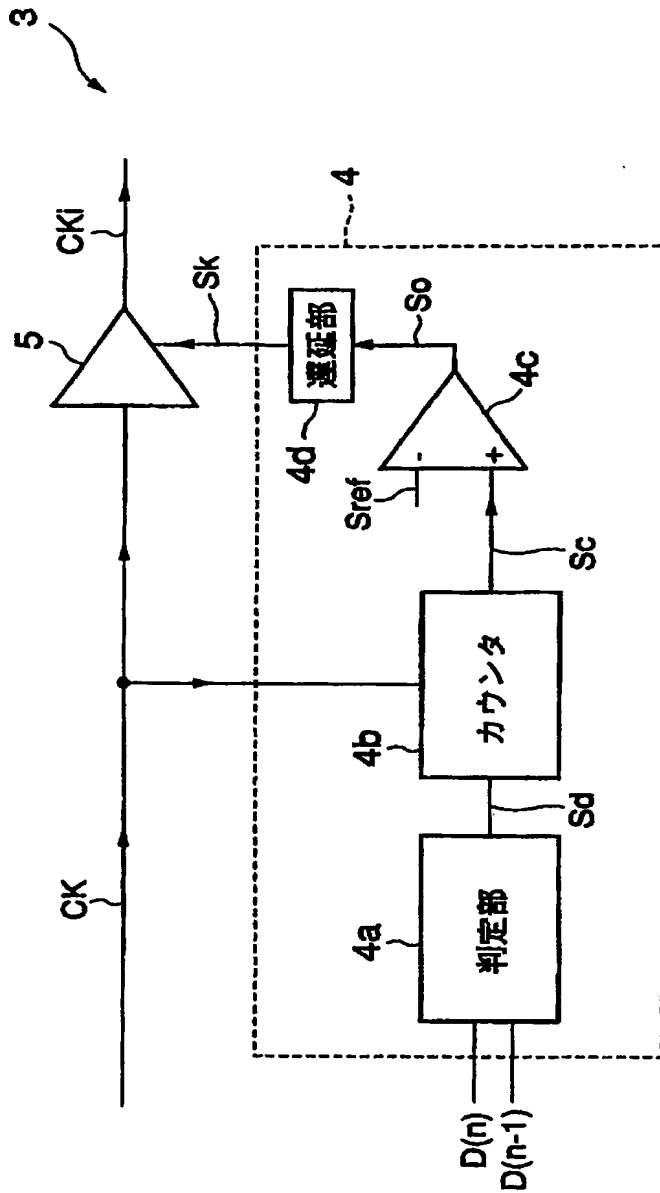
【図 4】



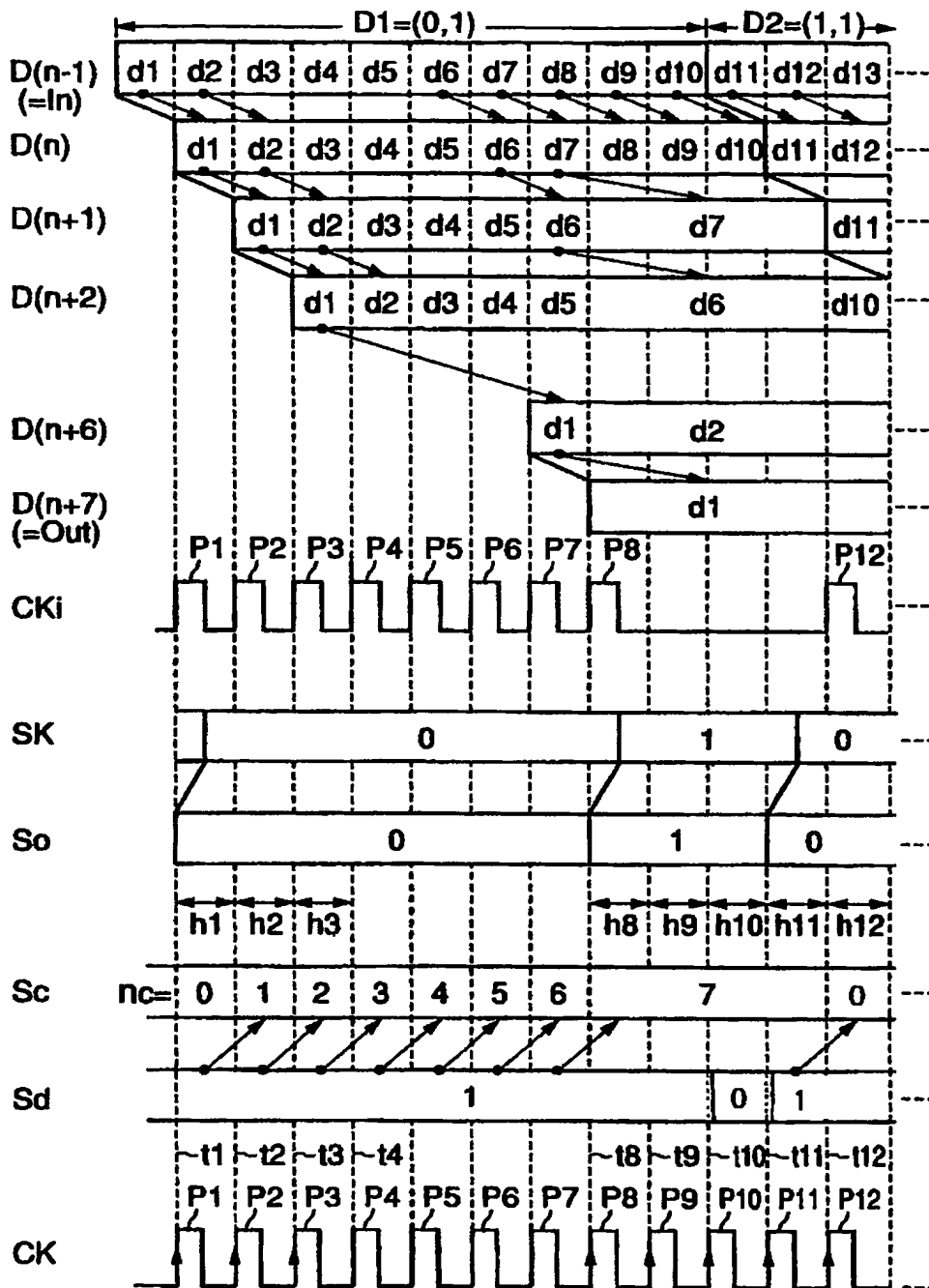
【図 5】



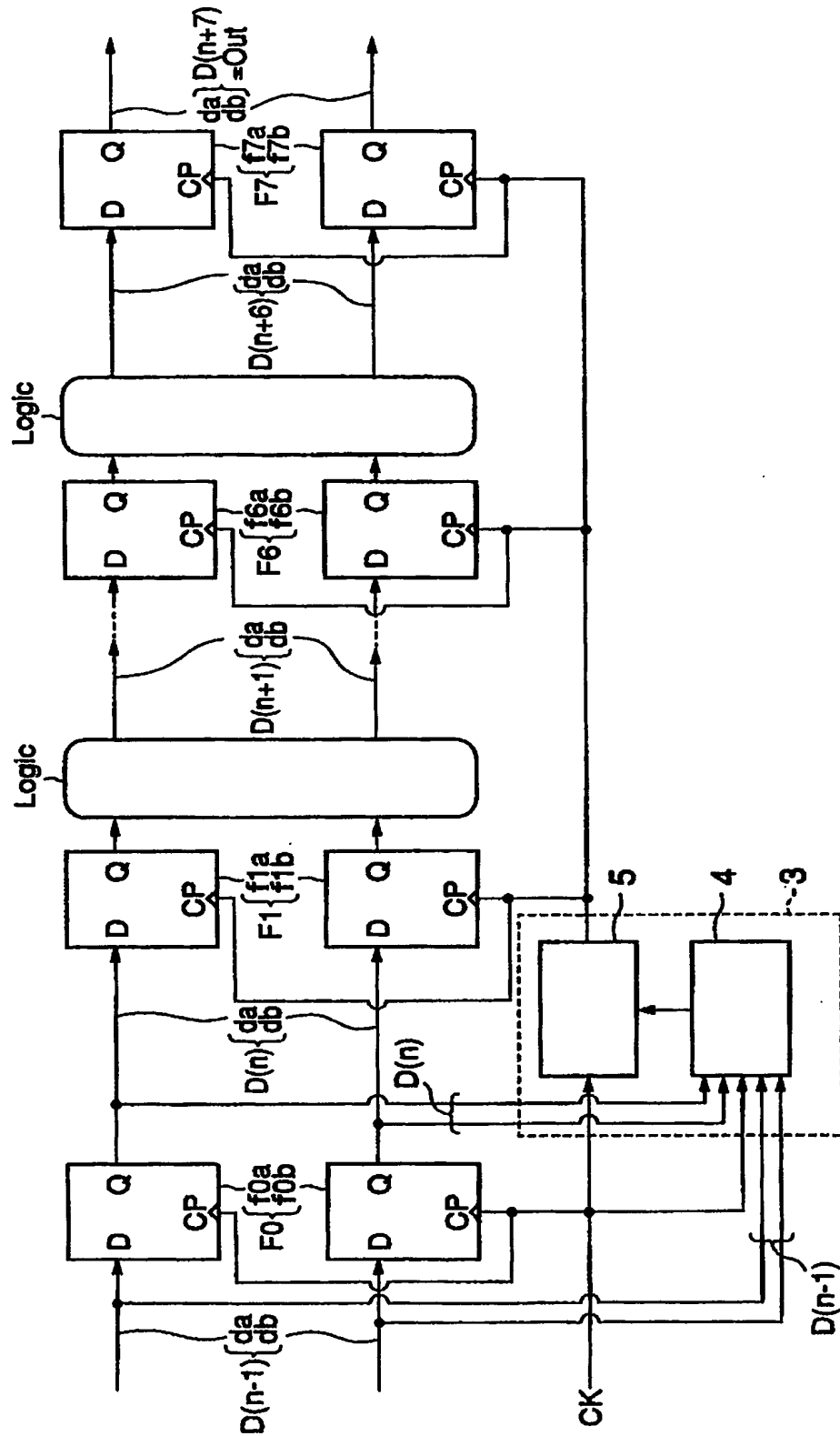
【図 6】



【図 7】



【図 8】



【書類名】

要約書

【要約】

【課題】 専用の信号を用いずに消費電力を低減できる回路装置を提供する。

【解決手段】 クロック信号 C K のパルスが入力されることによって、パルスに同期してデータを内部に取り込み該取り込んだデータを出力する D フリップフロップ F 0 と、D フリップフロップ F 0 が出力したデータを処理するシフトレジスタ 2 であって、クロック信号 C K のパルスが入力されることによって、パルスに同期してデータを内部に取り込み該取り込んだデータを出力する D フリップフロップ F 1 乃至 F 7 を有するシフトレジスタ 2 とを備えた回路装置 1 が、クロック信号 C K のパルスに同期して D フリップフロップ F 0 が出力したデータとパルスの 1 つ後のパルスに同期して D フリップフロップ F 0 に取り込まれるべきデータとが等しいか否かに基づいて、D フリップフロップ F 1 乃至 F 7 にクロック信号 C K のパルスを入力するか否かを制御する制御回路 3 を有する。

【選択図】

図 6

認定・付加情報

特許出願の番号	特願 2002-382481
受付番号	50201993045
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 1月 6日

<認定情報・付加情報>

【提出日】	平成14年12月27日
-------	-------------

次頁無

特願 2 0 0 2 - 3 8 2 4 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 2 4 5 1]

1. 変更年月日

1 9 9 0 年 8 月 1 3 日

[変更理由]

新規登録

住 所

東京都港区港南 2 - 1 3 - 3 7 フィリップスビル

氏 名

日本フィリップス株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.